

井上智生



Abstract

今日の半導体集積回路は、その微細化と高集積化がゆえに、設計どおりに正しく製造することや、出荷後に正しく動作させることが困難になっている。本稿では、半導体集積回路における欠陥と故障モデルを紹介し、故障を検出するためのテスト手法及びテスト容易化設計法を紹介する。更に、最新の半導体技術における種々の課題について述べる。

キーワード：欠陥，故障モデル，テスト生成，テスト容易化設計

1. はじめに

半導体技術の進展は目覚ましく、半導体集積回路（以下、大規模集積回路：LSIを含む。）の高機能化・小形化・省電力化が可能となった。その結果、その用途（アプリケーション）は多様化し、自動車の運転支援・自動運転機能や医療機器など、人々の暮らしに密着し、高い信頼性・安全性が要求されるようになった。一方、LSIの微細化・高集積化は、「設計どおりに正しく製造すること、設計どおりに動作させること」といった、一見当たり前のことを困難にさせている。

本稿では、LSIの不良（動作の不具合）の原因となる物理的な欠陥のうち代表的なものを紹介する。LSIの信頼性を確保する技術として、テスト生成、テスト容易化設計の概念を述べる。更に、今日のあるいは将来のLSIにおける課題を述べる。

2. 半導体集積回路における欠陥と故障モデル

半導体の物理的欠陥とそれを表現する故障モデルを概説する。ここでは特に、半導体のテストを考える上で基本となる故障モデルを紹介する。

LSIにおける断線や短絡などの物理的欠陥（defect）は、製造時に発生するもの、動作中の摩耗劣化などによ

るものがある。そのような欠陥は、回路中のどの場所でのように発生するかによって、回路としての振舞いがどのようになるかは様々である。欠陥は、着目している機能に応じて故障（fault）としてモデル化される^{(1)~(3)}。

2.1 デジタルデバイスの欠陥と故障モデル

(1) 縮退故障

入力信号とは無関係に常に信号線の値が固定される故障を縮退故障（stuck-at fault）という。例として、図1(a)に示す2入力NANDゲートを考える。2入力NANDゲートは、図1(b)に示すCMOSトランジスタ回路で実現される。図1(b)において、もし、電源線Aと出力線Bの間に短絡が起これば、入力 x 、 y の値にかかわらず出力値 z は論理値1で固定される。このような故障を1縮退故障という。このような短絡のほか、トランジスタが導通状態で固定されるような欠陥のときも縮退故障としてモデル化できる。

(2) オープン故障

信号線の断線などはオープン故障（open fault）としてモデル化される。例えば、図1(b)における入力線Cで断線が生じると、MOSトランジスタのゲート電圧が不定になり、どのような論理値になるかは定まらないことが多い。断線は、二つの配線層を接続するコンタクト・ビアで生じることが多い。

(3) ブリッジ故障

隣接する二つ（または三つ以上）の信号線が短絡する故障をブリッジ故障（bridging fault）という。半導体の

井上智生 正員：シニア会員 広島市立大学大学院情報科学研究科情報工学専攻
E-mail tomoo@hiroshima-cu.ac.jp
Tomoo INOUE, Senior Member (Graduate School of Information Sciences, Hiroshima City University, Hiroshima-shi, 731-3194 Japan).
電子情報通信学会誌 Vol.103 No.1 pp.62-67 2020年1月
©電子情報通信学会 2020

製造過程でそれらの信号線をまたがるようにごみ・ほこりが付着することによって生じることが多い。図2は、二つの信号線 y, a の短絡により、OR ゲートのように振る舞うブリッジ故障の例を示している。

(4) 遅延故障

上述の故障モデルで表現できる欠陥の多くは、断線や短絡など、比較的その欠陥の程度が大きく、結果の振舞いが明確なものである。一方、断線はしないものの配線幅が想定したものより小さくなることでその抵抗値が増し、そこを伝わる電気信号の変化が遅くなることがある。このような欠陥が発生した回路は、通常の動作速度ではその信号変化の伝搬が間に合わず、正常時とは違った論理値を取ることがある。このような欠陥は遅延故障 (delay fault) としてモデル化される。

故障状態が続くものは永久故障と呼ばれる。故障として顕在化するのが一時的なもの、あるいは、一定の周期で繰り返すものなどがある。

2.2 アナログデバイスの欠陥

アナログデバイスでの欠陥は、上述の論理回路と同様、正常時と異なる電気信号が現れたり、信号変化が遅

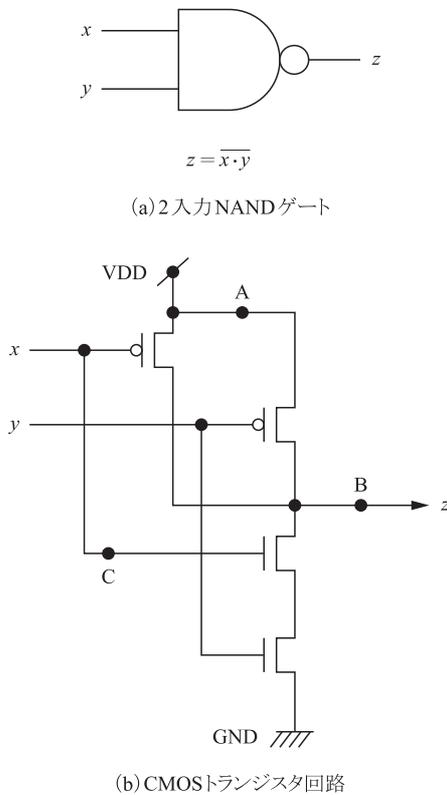


図1 論理ゲートと CMOS 回路 (a) 2 入力 NAND ゲートは (b) CMOS トランジスタ回路で構成される。もし、A と B とが短絡すると、出力 z は HIGH で固定され、論理的には $z=1$ に縮退する。

れるといった変化をもたらす。しかし、アナログデバイスが扱う電気信号は、論理回路の 0, 1 といった具体的で明確な信号値ではなく、時間に伴って変化する連続的な電圧または電流の変化を信号とするため、欠陥に対応する故障のモデル化が難しい⁽³⁾。

3. テスト生成とテスト容易化設計

3.1 テスト実行とテスト生成

LSI が正常に動作するかどうかを確かめることをテスト (testing) という。LSI に対するテストは、図3に示すように、外部入力からのテストパターン (test-pattern) に対する入力出力応答 (response) を外部出力で観測し、それを期待値 (正常時の出力) と比較することで行われる。これをテスト実行 (test application) という。テスト実行の結果、出力応答が期待値と異なればその回路は不良と判定される。

理想的なテスト実行は、対象となる集積回路の動作・機能を全て網羅することだが、あらゆる動作を列挙することは現実的には不可能である。よって、一般には、テストすべき故障モデルを想定し、その故障の有無が分かるようなテストパターンを用意する。これをテスト生成 (test generation) という⁽¹⁾。

図4に示す組合せ回路について、信号線 d の 0 縮退故障を考える。この回路に対して、入力パターン $(a, b, c) = (1, 1, 0)$ が入力されると、正常時 (故障がないとき) は $g=0$ が出力される。一方、この故障 (信号

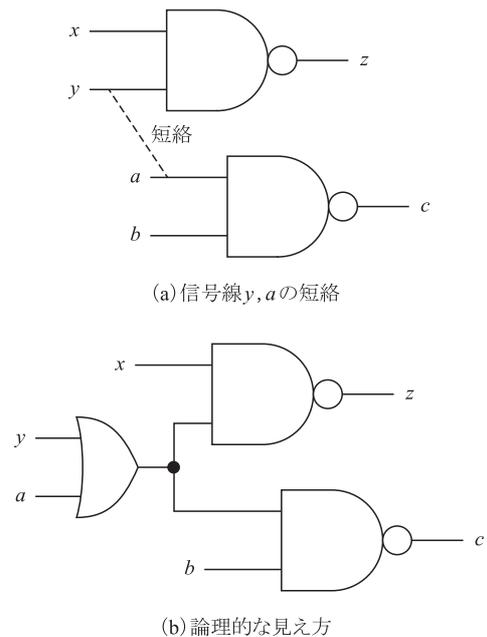


図2 ブリッジ故障の例 二つの信号線 y, a が短絡すると (a), y, a を入力とする論理ゲートがあるように振る舞う。ここでは OR ゲート (論理和) となる例 (b) を示している。

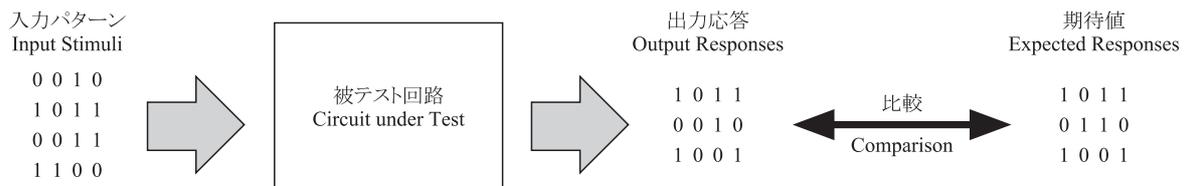


図3 デジタルデバイス（論理回路）のテスト実行 入力パターンに対する出力を期待値と比較する。この例では、出力応答が期待値と一致しないので、被テスト回路は不良と判定される。

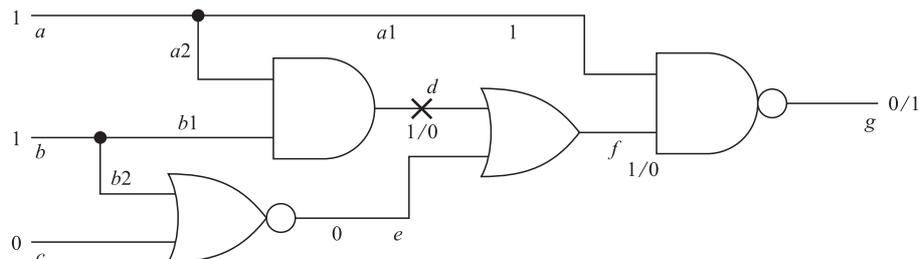


図4 故障の検出とテストパターン 信号線 d の0縮退故障が存在するならば、入力 $(1, 1, 0)$ を入力することで正常時 ($g=0$) と異なる信号値 ($g=1$) が出力 g で観測される。

線 d の0縮退故障)が存在するとき、その故障の影響(誤り (error) という)は信号線 f を通って出力は $g=1$ として現れ、正常時(期待値)と異なることが分かる。すなわち、入力 $(1, 1, 0)$ は信号線 d の0縮退故障のテストパターンといえる。このとき、入力 $(1, 1, 0)$ は信号線 d の0縮退故障を検出するという。一方、入力 $(0, 1, 0)$ は正常時であってもこの故障が存在しても出力は1であり、よって入力 $(0, 1, 0)$ はこの故障のテストパターンとはいえない。

想定する故障集合 F に対して、生成されたテストパターン集合 S で検出できる故障数の比を F に対する S の故障検出率 (fault coverage) という^{(1)~(3)}。

3.2 遅延故障のテスト

遅延故障をテストするためには、二つのパターンが必要である。例として、図4に示す論理回路を考える。パターン $t1=(a, b, c)=(1, 1, 0)$ が入力されて十分な時間がたったものとする。このときの出力は $g=0$ である。このうち、パターン $t2=(a, b, c)=(1, 0, 0)$ を入力する、すなわち入力 b を1から0に変化させると、信号線 $b1, d, f, g$ はそれぞれ $1, 1, 1, 0$ から $0, 0, 0, 1$ に変化する。この回路の遅延に関する仕様が T 秒であるとする。すなわち、正常時は、入力の信号変化の影響が、必ず T 秒以内に外部出力まで伝わるように設計されているとする。パターン $t2$ を入力した時刻を t とするとき、時刻 $t+T$ で出力を観測すると、仕様どおり製造されていれば $g=1$ が観測される。もし、この経路上に遅延故障が存在すれば、その信号変化は間に合わず、 $g=0$ が観測されることになり、その遅延故障は検

出される。このように、回路を初期化するパターン $t1$ と信号変化(遷移)を起こさせるパターン $t2$ の二つのパターンでテストを行うことから、2パターンテストと呼ばれる^{(1),(3)}。

3.3 テスト容易化設計

テストのコスト (cost of testing) は、主にテスト生成のコストとテスト実行のコストから成る。テストのコストを削減するために、通常動作のための回路に併せてテストのための回路を付加する、すなわち、テストのために回路設計を変更することをテスト容易化設計 (DFT: Design For Testability) という^{(1)~(3)}。

組合せ回路に対するテスト生成は、実用的な時間で高い故障検出率のテストパターン集合を生成するアルゴリズムが存在する。しかしながら、一般的な論理回路は内部に記憶素子(フリップフロップ, FF)を持つ順序回路である。テスト生成アルゴリズムは、故障の影響(誤り)が外部出力で観測できるような入力パターンを求めようとするが、順序回路には記憶素子が存在するため、組合せ回路に比べて大きな計算量を必要とし、よって実用的には、テスト容易化設計が適用される。

今日の大規模集積回路のテスト容易化設計にはスキャン設計 (scan design) が適用される。スキャン設計では、全ての FF が、スキャンモード時にシフトレジスタとして動作するように設計する。

図5にスキャン設計の例を示す。ハイライトしている部分がスキャンのために付加された回路を示している。mode=0 とすると、各 FF の入力 は組合せ回路部の出力と接続され、通常動作(本来の動作)をする。mode

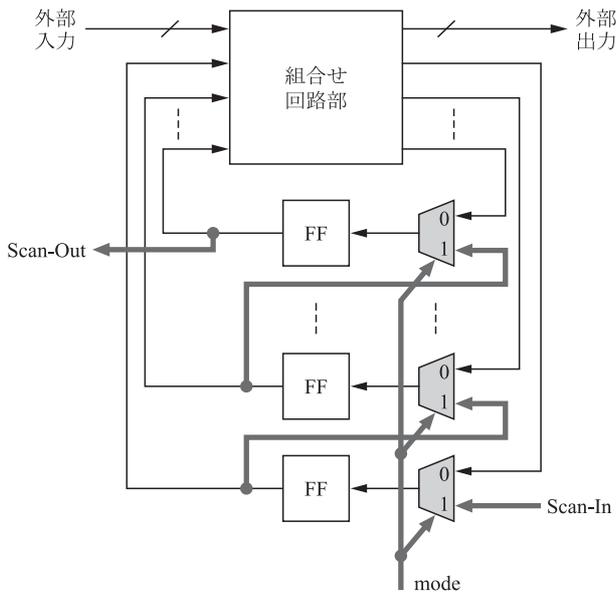


図5 順序回路のテスト容易化設計 全てのFFは、Scan-In, Scan-Outを通じて、組合せ回路とは無関係に制御・観測可能となる。

=1 とすると、SI (Scan-In) を入力、SO (Scan-Out) を出力とするシフトレジスタとして動作する。この回路により、全てのFFの値は、組合せ回路部とは独立して自由に制御・観測できるようになる。

このスキャン設計された回路に対するテスト実行は次のようになる。ここでFF数を N とする。① mode=1として、SIから N ビットの系列を入力し、FFの値を設定する。② mode=0として、外部入力からテストパターンを入力し、1クロックを進める。組合せ回路部の出力の一部は外部出力で観測され、残りはFFに記憶される。③ mode=1として、 N クロックを進める。FFに記憶された組合せ回路部の出力をSOから N ビットの系列として観測する。

スキャン設計には、上述のように、全てのFFをスキャンFFにするフルスキャン設計^{(1)~(3)}と、一部のFFをスキャンFFにするパーシャルスキャン設計⁽³⁾がある。フルスキャン設計では、組合せ回路部の入出力が全て制御観測可能になるため、組合せ回路部としてテスト生成が可能である。一方、パーシャルスキャン設計では、フルスキャン設計に比べてハードウェアオーバーヘッドを小さくできるものの、テスト生成の対象となる回路は依然として「FF数が削減された」順序回路であるためテスト生成が困難であることが多い。よって、実用的にはフルスキャン設計が適用されている。

一方、フルスキャン設計では、FF数 N に比例したテスト実行時間を要することが課題である。そのため、テストデータの展開・圧縮機構を付加し、それを通じてスキャンデータを印可・観測することで、外部から入出力するテストデータ量を削減する方法が採られる⁽³⁾。

3.4 アナログデバイスのテスト

先に述べたように、アナログデバイスの故障のモデル化は一般に難しく、よってそのテスト実行は、デジタルデバイスとは違ったものになる。アナログデバイスには一般にその特性を表すデータシートがあり、テストはそのデータシートに示された許容範囲内で動作するかを調べることで行われる。例えば、入力信号の変化の速度に対して出力がどのような反応をするか、といったような周波数特性を測定するテストなどがある^{(2), (3)}。

4. 最新のテクノロジーにおける課題

2.及び3.では、半導体集積回路の欠陥と故障モデル、及びそのテストについて、その基本的な考え方を紹介した。これらは今日の最新の半導体テクノロジーであっても適用可能な考え方である。一方で、半導体技術の発展と微細化に伴い、これまでのモデルやテスト方法では対応できない新たな課題が生じている。ここでは、最新の半導体集積回路の設計・製造における課題を紹介する。

(1) ソフトエラー

物理的な欠陥が原因ではない誤りのことをソフトエラー (soft error) という⁽⁴⁾。ソフトエラーを引き起こす原因の一つとして、半導体デバイスへの放射線衝突 (particle strike) がある。その原因となる放射線は主に α 線や中性子線などのエネルギーを持った粒子線である。 α 線は、半導体材料やパッケージ材料に含まれる放射性不純物 (同位元素) によって発生する。中性子線は自然界に存在し、宇宙から降り注ぐ宇宙線が主なものである。海面高度ではその照射量は低く、地下ではほぼ0になる一方、航空高度や高山地帯では高くなる。

放射線が記憶素子 (SRAMやFFなど) に衝突して記憶されている論理値が反転することをSEU (Single Event Upset) という (図6(a))。一方、論理ゲートなどの組合せ回路部に放射線が衝突することで生じる雑音をSET (Single Event Transient) という (図6(b))。その雑音記憶素子に取り込まれると誤りとなって現れる。

今日の微細化・省電力化されたLSIでは、放射線のエネルギーは相対的に増大しているため、ソフトエラーの発生頻度は無視できないものとなりつつある。対策として、ECC (誤り訂正符号) を用いるほか、ソフトエラーに耐性のある記憶素子が提案されている⁽⁴⁾。

(2) 積層実装 (2.5D, 3D実装) とそのテスト

複数のLSIチップを一つのパッケージに実装する方法をMCP (Multi-Chip Package) という⁽⁵⁾。シリコンインターポーザと呼ばれる配線のためのLSIの上に複数のLSIチップを並べて一つのパッケージにしたもの

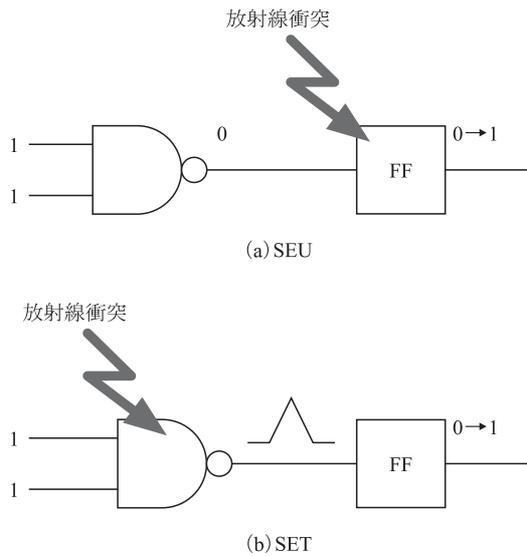


図6 ソフトエラーの発生 (a)放射線が記憶素子に衝突すると記憶されている値が反転する。(b)組合せ回路に衝突すると雑音パルスが発生し、これが記憶素子に取り込まれて反転した値が記憶される。

を2.5Dデバイスと呼ぶ。それに対して、複数のLSIのチップを積層（垂直方向に積み重ねて相互結合）したものを3Dデバイスと呼ぶ。いずれも、高密度で複数のLSIチップを実装でき、その接続も短く小さくできるので、システム全体を小規模化、高速化できることから今日では広く採用される実装方法である^{(5),(6)}。

一方で、パッケージの入出力ピンに対して内部の半導体回路の規模が大きくなるので、MCPに対するテスト実行(2.)は困難になる。特に、後者の3Dデバイスでは、TSV(Through Silicon Via)^{(5),(6)}と呼ばれるチップの表面と裏面を貫通させる電極を作ることで、積み重ねたLSIチップ同士を接続するため、このテストにも大きなコストが必要となる。

(3) マルチゲート(FinFET)トランジスタの故障モデル

MOSトランジスタの微細化が進むにつれ、短チャネルによる漏れ電流の増加が課題になっていた。その問題を解決するために、近年ではFinFET^{(6),(7)}と呼ばれる新しい構造のMOSトランジスタが採用されている。

従来のMOSトランジスタ(平面形トランジスタ)では、ゲートとシリコン基板が酸化膜を挟んで1面だけで接していたのに対し、FinFETでは、Finと呼ばれる薄く立てたシリコン基板を3方向から包むような構造をしている。そのため、三次元形トランジスタとも呼ばれる。これにより、短チャネル効果を抑えながら、微細化・高集積化ができる。一方で、従来の平面形トランジスタと比べて立体的で複雑な構造をしているため、Finの短絡や開放、Finとゲートとの短絡などといった、モ

デル化が困難な欠陥も起こり得るようになり、その対策も大きな課題となっている。

(4) エレクトロマイグレーション・ストレスマイグレーション

LSIの配線にはアルミニウムや銅などの金属が使われる。配線内では自由電子の移動によって電流が流れ、電気信号が伝えられるが、高い電流密度で動作する今日のLSIでは、その金属イオンにも高い運動エネルギーが掛かり、配線そのものが移動することになる。このような現象はエレクトロマイグレーションと呼ばれ、配線の抵抗値増加や断線をもたらすことがある^{(5),(8)}。

また、高低温の繰返しによる温度ストレスによって金属原子が移動し、断線に至る場合もある。このような現象はストレスマイグレーションと呼ばれ、半導体製造時の加熱冷却だけでなく、電源のオンオフやパルス電流の繰返しなどによる温度の上昇下降によっても起こり得るとされている^{(5),(8)}。

5. おわりに

本稿では、半導体集積回路で生じ得る欠陥について、その代表的なものを紹介し、対応する故障モデルとそのテストについて紹介した。また、テストのコストを削減するためのテスト容易化方法の考え方も解説した。後半では、半導体集積回路の微細化・高集積化によって生じる今日の新たな課題について概説した。

今日では、半導体デバイスの用途は多岐にわたるようになった。特に、自動車の運転支援・自動運転技術など、人々の暮らしや生命に直結する分野では高い信頼性が要求されるため、半導体デバイスにおける欠陥の発生を抑制する技術、発生時には確実に検出する技術、更にはこれらを小さいコストで実現する技術など、新たな対策が重要となっている。

一方で、アプリケーションによっては、出力に誤りがあってもそれがある程度の大きさならば問題ないものもある。これをエラートラントアプリケーション(ETA)という⁽⁹⁾。例えば、画像の一部に雑音等があっても人間の目では気付かないこともある。その点に着目し、回路の出力に誤りがあってもそれが許容値以下であれば正常とみなすテスト法が提案されている⁽¹⁰⁾。また、許容範囲内で演算精度を下げた処理(approximate computing)を行うことで、回路を低面積化・低消費電力化させる設計法も考えられている⁽¹¹⁾。

文 献

- (1) 米田友洋, 梶原誠司, 土屋達弘, ディベンダプルシステム—高信頼システム実現のための耐故障・検証・テスト技術—, 共立出版, 東京, 2005.

- (2) 浅田邦博, はかる×わかる半導体 応用編, パワーデバイス・イネープリング協会(監修), 日経BPコンサルティング, 東京, 2019.
- (3) VLSI Test Principles and Architectures : Design for Testability, L.-T. Wang, C.-W. Wu, and X. Wen, eds., Elsevier, 2006.
- (4) 小林和淑, “微細化による LSI の信頼性諸問題とその解決策,” 信学技報, VLD 2012-5, pp. 25-30, May 2012.
- (5) 浅田邦博, はかる×わかる半導体 入門編, パワーデバイス・イネープリング協会(監修), 日経BPコンサルティング, 東京, 2013.
- (6) 渡辺重佳, “三次元積層論理回路によるシステム LSI 設計技術,” 信学誌, vol. 102, no. 1, pp. 74-78, Jan. 2019.
- (7) 稲葉 聡, “最先端 FinFET プロセス・集積化技術,” 信学誌, vol. 91, no. 1, pp. 25-29, Jan. 2008.
- (8) 図解でわかる半導体とシステム LSI, 菊地正典(監修), 日本実業出版社, 東京, 2006.
- (9) M. Breuer, K. Chugg, S. Gupta, and A. Ortega, “Error tolerance : Why and how to use slightly defective digital systems,” Proc. Workshop on Silicon Errors in Logic—System Effects—, pp. 1-6, 2008.
- (10) I. Polian, “Test and reliability challenges for approximate circuitry,” IEEE Embedded Systems Letters, vol. 1, no. 1, pp. 26-29, 2017.
- (11) H. Ichihara, T. Inaoka, T. Iwagaki, and T. Inoue, “Logic simplification by minterm complement for error tolerant application,” Proc. ICCD, pp. 102-108, 2015.

(2019年8月9日受付 2019年9月2日最終受付)



井上 智生 (正員: シニア会員)

1990 明大大学院工学研究科博士前期課程了。博士(工学)。1990~1992 松下電器産業株式会社半導体研究センター。1993~1999 奈良先端大情報科学研究科助手。1999 広島市大・情報科学・助教授。2004 同教授。現在、同大学院情報科学研究科教授。ディベンダブルコンピューティングに関する研究に従事。

